

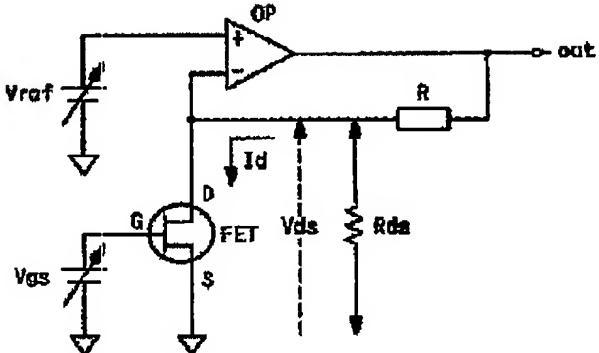
DEVICE EVALUATION CIRCUIT

Patent number: JP2002214279
 Publication date: 2002-07-31
 Inventor: WATANABE YOSHITAKA
 Applicant: AKITA KAIHATSU CT ARD KK; WATANABE YOSHITAKA
 Classification:
 - International: G01R31/26
 - European:
 Application number: JP20010009444 20010117
 Priority number(s): JP20010009444 20010117

[Report a data error here](#)

Abstract of JP2002214279

PROBLEM TO BE SOLVED: To provide a device evaluation circuit capable of more rapidly and accurately performing measurement than before. **SOLUTION:** The device valuation circuit is equipped with an operational amplifier OP subjected to negative feedback connection through a detection resistor R and constituted so that a circuit voltage source Vref is connected to the non-reversal input terminal (+) of the operational amplifier OP, a device FET to be evaluated is connected to the reversal input terminal (-) of the operational amplifier OP, and measuring output is obtained by the detection current flowing from the detection resistor R to the device FET to be evaluated. The voltage of the reversal input terminal is forced so as to always coincide with the voltage of the non-reversal input terminal by the function of the virtual short of the operational amplifier OP subjected to negative feedback connection. Accordingly, the voltage applied to the device to be evaluated connected to the reversal input terminal is kept so as to always coincide with the voltage of the circuit voltage source connected to the non-reversal input terminal. As a result, the change (ΔId) of the detection current (Id) flowing to the device to be evaluated from the detection resistor can be faithfully grasped, and rapid and accurate measurement becomes possible.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-214279

(P2002-214279A)

(43) 公開日 平成14年7月31日 (2002.7.31)

(51) Int.Cl.¹
G 0 1 R 31/26

識別記号

F I
G 0 1 R 31/26

データー(参考)
B 2 G 0 0 3
C
Z

審査請求 未請求 請求項の数 8 OL (全 6 頁)

(21) 出願番号

特願2001-9444(P2001-9444)

(22) 出願日

平成13年1月17日 (2001.1.17)

(71) 出願人 500580507

有限会社秋田開発センターエーアールディ
一

秋田県秋田市横山南中町10-18

(71) 出願人 500580518

渡辺 喜隆

秋田県秋田市横山南中町10-18

(72) 発明者 渡辺 喜隆

秋田県秋田市横山南中町10-18

(74) 代理人 100106220

弁理士 大竹 正悟

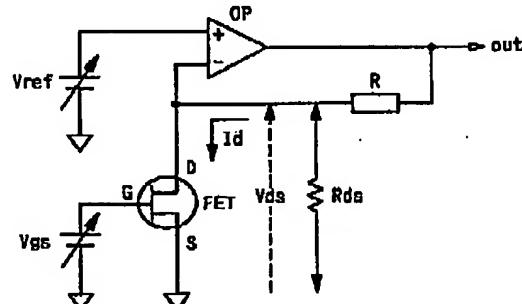
Fターム(参考) 2G003 AA01 AA02 AA04 AB14 AE01
AE02 AE10 AH04

(54) 【発明の名称】 デバイス評価回路

(57) 【要約】

【課題】 従来よりも迅速・正確に測定を行えるデバイス評価回路を提供する。

【解決手段】 検出抵抗Rを介し負帰還接続したオペアンプOPを備え、このオペアンプOPの非反転入力端子(+)に回路電圧源Vrefを接続するとともに反転入力端子(-)に評価対象デバイスFETを接続し、検出抵抗Rから評価対象デバイスFETに流れる検出電流により測定出力を得るようにしたデバイス評価回路とする。負帰還接続したオペアンプのバーチャルショートの機能により、反転入力端子の電圧は常に非反転入力端子の電圧と一致するよう強制される。したがって、反転入力端子に接続した評価対象デバイスにかかる電圧は、非反転入力端子に接続した回路電圧源の電圧に常に一致するよう維持される。その結果、電圧一定の下で、検出抵抗から評価対象デバイスへ流れる検出電流(Id)の変化(ΔId)を忠実にとらえることができ、迅速で正確な測定が可能となる。



1

【特許請求の範囲】

【請求項 1】 検出抵抗を介し負帰還接続したオペアンプを備え、該オペアンプの非反転入力端子に回路電圧源を接続するとともに反転入力端子に評価対象デバイスを接続し、前記検出抵抗から前記評価対象デバイスに流れる検出電流により測定出力を得るようにしたデバイス評価回路。

【請求項 2】 オペアンプの非反転入力端子及び反転入力端子に電界効果トランジスタを利用した請求項 1 記載のデバイス評価回路。

【請求項 3】 回路電圧源に、所定の電圧を保持したキャパシタを使用する請求項 1 又は請求項 2 記載のデバイス評価回路。

【請求項 4】 評価対象デバイスのデバイス制御電圧源に、所定の電圧を保持したキャパシタを使用する請求項 1 ~ 3 のいずれか 1 項に記載のデバイス評価回路。

【請求項 5】 オペアンプの出力をハイパスフィルタを通してローノイズアンプへ入力し、該ローノイズアンプの出力を、第 1 の抵抗を通して評価対象デバイスの接地側へ伝達するとともに、該評価対象デバイスの接地側と接地との間に、前記第 1 の抵抗の抵抗値以下とした第 2 の抵抗を設けるようにした請求項 1 ~ 4 のいずれか 1 項に記載のデバイス評価回路。

【請求項 6】 抵抗を介して負帰還接続するとともに非反転入力端子に回路電圧源を接続したオペアンプと、該オペアンプの反転入力端子に電流路を接続したトランジスタと、を備えてなり、前記トランジスタの制御端子に入力信号を印加して前記オペアンプの出力端子から出力信号を得るようにした微少電圧増幅器。

【請求項 7】 所定の電圧を保持したキャパシタをオペアンプの入力端子に接続してなる定電圧源。

【請求項 8】 所定の電圧を保持したキャパシタを電界効果トランジスタのゲート端子に接続してなる定電圧源。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、トランジスタやダイオードなど半導体デバイスの低周波ノイズ ($1/f$ ノイズを含む) を正確に測定可能なデバイス評価回路に関する。

【0002】

【従来の技術】 半導体デバイスの低周波ノイズ測定は非常に難しいものと言われているが、現在、そのための評価回路として図 1 に示すものが知られている。

【0003】 図 1 (A) のデバイス評価回路はドレイン (コレクタ) フォロワ方式のもので、評価回路の回路電圧源 V_d に検出抵抗 R をつなぎ、この検出抵抗 R に、本例の評価対象デバイスである電界効果トランジスタ FET のドレイン D を接続する構成で、その検出抵抗 R とドレイン D の接続部分から測定出力 o_{ut} を発生するよう

になっている。評価対象デバイス FET のソース S は接地され、ゲート G はデバイス制御電圧源 V_{gs} に接続される。一方、図 1 (B) の回路はドレイン (コレクタ) フォロワ方式のもので、評価対象デバイス FET のソース S に定電流源 I を接続して負の回路電圧源 $-V_s$ へつながり、評価対象デバイス FET のドレイン D は検出抵抗 R を通して正の回路電圧源 $+V_s$ に接続され、ゲート G は接地される。

【0004】 これら両回路とも、評価対象デバイス FET のドレイン D に流れるドレイン電流 I_d (検出電流) に従って得られる測定出力 o_{ut} を検知することにより、評価対象デバイス FET のノイズ特性を測定するということになっている。

【0005】

【発明が解決しようとする課題】 図 1 (A) の回路では、デバイス制御電圧 V_{gs} が変化するとドレインソース電圧 V_{ds} も変化する。すなわち、検出抵抗 R と評価対象デバイス FET の動作抵抗 R_{ds} とが回路電圧源 V_d から直列接続されているので、デバイス制御電圧 V_{gs} の変化により動作抵抗 R_{ds} が変わると、電圧 V_{ds} が変化することになる。したがって、デバイス制御電圧 V_{gs} が変化する場合、図 1 (A) の回路は ΔV_{ds} の検出を行っていることになるが、測定対象となるデバイス FET の増幅率 ($G_m = \Delta I_d / \Delta V_{gs}$) は V_d 一定の下での測定値なので、正確ではない。

【0006】 そこで、デバイス自体のノイズを正確に測定するためには、デバイス制御電圧源 V_{gs} として電圧の安定しているアルカリ乾電池などの一次電池を使用して、 V_{gs} 一定の下で V_{ds} を安定させ、検出電流の変化 ΔI_d を測定することになる。しかし、この場合、デバイス制御電圧 V_{gs} を変えるには直列に組んだ電池の数を変えて再度安定させるという手間がかかり、リニアな測定とは言えないし、測定に數十分以上という時間を要する原因となっている。ロックインアンプを加えて使用するともなると数時間以上かかることになってしまふ。

【0007】 また、評価対象デバイス FET の動作抵抗 R_{ds} が変化すると、検出抵抗 R との合成抵抗値 (出力インピーダンス) も変化することになる。そして、検出感度との関連で検出抵抗 R の値が高いと出力インピーダンスが高くなり、次段の負荷インピーダンスなどにより交換ゲインが変動することから、測定誤差が発生し、周波数特性も変化してしまう。

【0008】 以上の不具合は図 1 (B) の評価回路にも共通した課題であることは、その回路構成から当然理解されるところである。また、上記回路の他にも、図 1 (C) のような評価対象デバイスのソース側に検出抵抗を接続したソース (エミッタ) フォロワ方式の評価回路も存在するが、同様の点が問題となっている。

【0009】

50

【課題を解決するための手段】上記の課題を考えると、デバイス制御電圧（ゲート電圧、ベース電圧）が変わっても回路電圧源によりデバイスにかかる電圧（ドレインソース電圧、コレクターエミッタ電圧）が一定であり、そのときの検出電流の変化を図れるような回路構成ができれば、正確な測定を行えるということである。そこで本発明では、検出抵抗を介し負帰還接続したオペアンプ（演算増幅器）を備え、このオペアンプの非反転入力端子に回路電圧源を接続するとともに反転入力端子に評価対象デバイスを接続し、検出抵抗から評価対象デバイスに流れる検出電流により測定出力を得るようにしたデバイス評価回路を提案するものである。

【0010】この回路構成によると、負帰還接続したオペアンプのいわゆるバーチャルショート（イマジナリショート）の機能により、反転入力端子の電圧は常に非反転入力端子の電圧と一致するよう強制される。したがって、反転入力端子に接続した評価対象デバイスにかかる電圧は、非反転入力端子に接続した回路電圧源の電圧に常に一致するように維持される。つまり、たとえば評価対象デバイスが電界効果トランジスタであれば、そのドレインソースバス（チャネル）を反転入力端子につなぐことで、ゲート電圧の変化にかかわらず常に一定のドレインソース電圧（ V_{ds} ）が、バーチャルショートの機能により強制的に維持されることになる。その結果、 V_{ds} 一定の下で、検出抵抗からトランジスタのドレインへ流れる検出電流（ドレン電流） I_d の変化△ I_d を忠実にとらえることができ、正確な測定が可能となる。

【0011】本発明のデバイス評価回路を構成するオペアンプは、両入力端子に電界効果トランジスタを利用した高インピーダンスの構成としておくと、回路電圧源から電流を流さずにするので、回路電圧源には電圧を与えるだけでよくなる。このとき評価対象デバイスが電界効果トランジスタであれば、デバイス制御電圧源もまた電流を要しないものとでき、その結果、両電圧源を2系統の独立したプログラマブル電圧源とすることが可能となる。プログラマブル電圧源を利用することができますようになれば、一次電池の直列個数を変えたりしていた従来技術とは違って、各電圧の可変自動設定が可能となり、精密に検出電流を制御しながらの自動測定が可能となる。したがって、測定時間も数十秒から数百秒（平均化回数による）という従来に比べ格段に短いものとできる。

【0012】このような評価回路の測定出力は、帰還効果によりオペアンプの出力インピーダンスが極小化されていることから駆動能力が高く、次段の負荷などによる影響を受けにくいものとなっている。したがって、正確なノイズ電圧出力と周波数特性を伝達することができる。以上のような特徴により、本発明のデバイス評価回路では、①回路電圧源を変化させることにより、評価対

象デバイスの動作抵抗を測定することができる、②回路電圧源として交流信号を与えることにより、評価対象デバイスの周波数特性を測定することができる、③デバイス制御電圧源を変化させることにより、評価対象デバイスの増幅率を測定することができる、④デバイス制御電圧源として交流信号を与えることにより、評価対象デバイスの周波数特性を測定することができるという、従来の乾電池式ではできなかった大きな利点がある。特に、回路電圧源とデバイス制御電圧源とに異なる周波数の交流信号を与えることにより、デバイスノイズ（ $1/f$ ノイズを含む）、動作抵抗、増幅率の各パラメータを同時に測定して評価することができるという従来にない画期的な機能をもつ。

【0013】なお、本回路の評価対象となるデバイスは、電界効果トランジスタやバイポーラトランジスタの3端子素子のほか、ダイオードやキャパシタなどの2端子素子であっても、十分正確な測定を行うことができる。

【0014】以上のようなデバイス評価回路において、オペアンプの非反転入力端子に接続する回路電圧源には、所定の電圧（電位）を保持したキャパシタを使用することができる。すなわち、電界効果トランジスタを用いたオペアンプの入力端子は極めてインピーダンスが高く、絶縁膜のリーク電流程度しかないので、電荷を充電して一定電位にホールドしたキャパシタを使用すれば、電圧源として十分役に立つ。また、バイポーラを使用したオペアンプであっても、ある程度容量が大きくリークの少ないタンタルキャパシタなどを使用すれば、数分間は電圧源として十分に機能する。このように電圧源としてキャパシタを使用すると、非常に安定したノイズのない優良な完全フローティング電圧源を得られることになる。

評価対象デバイスが上記のようにデバイス制御電圧を必要とするものであれば、そのデバイス制御電圧源として同様にキャパシタを使用することもできる。つまり、本発明により、オペアンプの入力端子や電界効果トランジスタのゲート端子用に、キャパシタを使用した非常に安定な定電圧源が提供される。このようにキャパシタを電圧源とすると、電圧源も含めてワンチップ化することも可能となる。

【0015】また、本発明のデバイス評価回路を一定ゲイン型へ発展させる構成として、オペアンプの出力をハイパスフィルタに通してローノイズアンプへ入力し、このローノイズアンプの出力を、第1の抵抗を通して評価対象デバイスの接地側へ伝達するとともに、該評価対象デバイスの接地側と接地との間に、第2の抵抗の抵抗値以下とした第2の抵抗を設ける構成とすることが可能である。これにより、ループゲインが一定となり安定し、ゲイン一定でデバイスの増幅率を知らないてもよくなり、入力換算ノイズを効果的に得られる。

【0016】上記の本発明に係るデバイス評価回路は、

低ノイズの微少電圧増幅器として応用することが可能である。すなわち、抵抗を介して負帰還接続するとともに非反転入力端子に回路電圧源を接続したオペアンプと、このオペアンプの反転入力端子に電流路（ドレインソースバス、コレクターエミッタバス）を接続したトランジスタと、を備えてなり、トランジスタの制御端子（ゲート、ベース）に入力信号を印加してオペアンプの出力端子から出力信号を得るようになった微少電圧増幅器を構成することができる。この増幅器は、上記のような理由から、トランジスタの制御端子に入力される信号の変化（ $\Delta V_{g s}$ に相当）が、負帰還接続の抵抗を介して流れる電流の変化（ ΔI_d に相当）として正確に現れるので、オペアンプの出力端子から得られる出力信号は、入力信号を正確にトレースした信号となる。したがって、今まで実現が難しかった微少電圧（nVオーダー）の等倍増幅器をつくることが可能となる。

【0017】

【発明の実施の形態】図2に、本発明のデバイス評価回路の最もベーシックな回路例を示してある。この例の評価対象デバイスは電界効果トランジスタFETであり、そのゲートGにデバイス制御電圧源 $V_{g s}$ が接続されている。評価対象デバイスFETのソースSは接地され、ドレインDがオペアンプOPの反転入力端子（-）に接続されている。このオペアンプOPの非反転入力端子（+）には、回路電圧源 V_{ref} が接続されている。

【0018】オペアンプOPは、出力端子を、検出抵抗Rを介して反転入力端子に帰還させた負帰還接続としてあり、その検出抵抗Rから評価対象デバイスFETのドレインDへ検出電流 I_d が流れることになる。オペアンプOPが負帰還接続よりあることにより、非反転入力端子と反転入力端子とはパーキャルショートの状態となり、回路電圧 V_{ref} が評価対象デバイスFETのドレインソース電圧 V_{ds} となる。したがって、デバイス制御電圧 V_{gs} が変動しても、 V_{ds} は常に回路電圧 V_{ref} と一致するよう強制的に一定に保たれる。その結果、 V_{gs} の変動 ΔV_{gs} にともなう検出電流 I_d の変化 ΔI_d が正確に検出される。

【0019】なお、 ΔV_{gs} は入力ノイズ電圧と等価（入力ノイズそのもの）であるから、図2の回路によると、検出電流 I_d の変化 ΔI_d を電圧に変換することにより正確なノイズ出力電圧を得られることになり、精密な等倍アンプとしての機能をもつ。そしてこの回路では、 ΔV_{ref} を与えることにより、評価対象デバイスFETの動作抵抗 R_{ds} を測定することができ、特に ΔV_{ref} として交流信号を与えると、評価対象デバイスFETの周波数特性を測定することができる。また、 ΔV_{gs} を与えることにより、前記の動作抵抗 R_{ds} の測定結果と合わせて、評価対象デバイスの増幅率 G_m （ h_{fe} ）を得られる。さらに、 ΔV_{ref} 及び ΔV_{gs} として異なる周波数の交流信号を与えると、デバイスノイ

ズ測定、動作抵抗測定、増幅率の各パラメータを同時に測定することができる。

【0020】図3に、そのような自動測定を可能とした応用例を示す。オペアンプOPは図2と同様に負帰還接続してあるが、その出力端子には電流ブースターA（1倍）を接続しており、その電流ブースターAを通して負帰還経路が形成されている。また、測定出力 out はカッピングキャバシタCを通して発生されるようになっている。

10 【0021】オペアンプOPの非反転入力端子に接続される回路電圧源は、レベル調整可能なDC電圧源 V_{ref} と、周波数 f_1 の交流信号を発生するためのAC電圧源 ΔV_{ref} とから構成される。これにより、定電圧 V_{ref} を供給することも、必要に応じて周波数 f_1 の交流信号 ΔV_{ref} を加えることも可能である。一方、評価対象デバイスFETのゲートGに対するデバイス制御電圧源も同様に、レベル調整可能なDC電圧源 V_{gs} と、周波数 f_2 の交流信号を発生するためのAC電圧源 ΔV_{gs} とから構成され、DC、ACのいずれかを選択することが可能となっている。

【0022】図4には、回路電圧源 V_{ref} 及びデバイス制御電圧源 V_{gs} にキャバシタを使用した例を示している。この図4のデバイス評価回路では、電界効果トランジスタで構成したオペアンプOPの非反転入力端子にキャバシタからなる回路電圧源 V_{ref} が接続され、評価対象デバイスFETのゲートGに同じくキャバシタからなるデバイス制御電圧源 V_{gs} が接続されている。そして、両電圧源キャバシタ V_{ref} 、 V_{gs} は、それぞれスイッチS1、S2を介して所定の電源V1、V2に接続されている。

【0023】本回路ではまず、測定開始に先立ってスイッチS1、S2を開成し、電源V1、V2をそれぞれ電圧源キャバシタ V_{ref} 、 V_{gs} へつないで充電する。そして、充電が完了したところでスイッチS1、S2を開放し、電源V1、V2と電圧源キャバシタ V_{ref} 、 V_{gs} との接続を断つ。すると、オペアンプOPの入力端子及び評価対象デバイスFETの両方とも電界効果トランジスタなので電流の流れる経路がなく、両電圧源キャバシタ V_{ref} 、 V_{gs} は完全フローティングの状態となり、充電された電荷を長時間維持することができる（リーキがなければ永久的にもつ）。完全フローティング状態となった電圧源キャバシタ V_{ref} 、 V_{gs} は、ノイズもなく極めて安定した定電圧源となるので、低周波ノイズを、超低周波領域まで測定するうえで非常に具合がよい。

【0024】この他、図5に示すのは、一定ゲイン型を実現した例である。本回路では、オペアンプOPの出力をハイパスフィルタHPFを通してローノイズアンプLNAへ入力し、該ローノイズアンプLNAの出力を、第1の抵抗 R_{sac} を通して評価対象デバイスFETの接

地側、本例ではソースSへ伝達している。そして、このソースSと接地との間に、第1の抵抗 R_{sac} よりも抵抗値の極めて小さい第2の抵抗 R_s を設けてある。

【0025】この回路では、第1、第2の2つの抵抗 R_{sac} 、 R_s の比率 $R_{sac} : R_s = N : 1$ とすることで、ローノイズアンプLNAから発生するノイズを約 $1/N$ に低減することができ、評価回路への影響を抑制することが可能である。このようにしてループバックをかけることにより、評価回路のゲインが一定となり安定する、周波数レンジを拡大でき、平坦化できる、さらに、ひずみが抑えられるなどの利点がある。

【0026】以上のようなデバイス評価回路の応用として、図6に示すような超低ノイズ微少電圧増幅器を構成することができます。この応用例では、負帰還接続したオペアンプOP、その負帰還経路の抵抗R、オペアンプOPの反転入力端子に接続した電界効果トランジスタFETの構成が上記デバイス評価回路と共通である。

【0027】オペアンプOPの非反転入力端子には、ローパスフィルタLPF1を通して回路電圧源 V_{ref} が接続される。また、オペアンプOPの出力は、ハイパスフィルタHPFを通してローノイズアンプLNAへ入力され、該ローノイズアンプLNAから増幅出力outが得られる。一方、増幅対象の入力信号inは、電界効果トランジスタFETのゲート端子に印加される。この電界効果トランジスタFETのソース端子は非常に小さい抵抗値の抵抗 R_s を通して接地され、またゲート端子には、入力抵抗 R_{in} 及びローパスフィルタLPF2を介して電圧源 V_{gs} が接続されている。なお、ハイパスフィルタHPFの次に保護回路を設けて、サージ電圧などからの保護を図っておくとより好ましい。

【0028】この回路によると、入力信号inが上記評価回路における ΔV_{gs} となり、その変化が忠実に抵抗Rの電流 I_d の変化 ΔI_d として検出される。つまり、*

* 電界効果トランジスタFETが入力部増幅素子となってその Gm に従う増幅が実行され、低ノイズで正確な微少電圧増幅器が実現される。

【0029】

【発明の効果】本発明によれば、負帰還接続したオペアンプのバーチャルショートを利用したデバイス評価回路とすることにより、正確なデバイスノイズ評価を行えるようになり、また、その測定をプログラマブル電圧源などを使用して自動化することができ、測定時間の短縮が

10 可能である。このような本発明のデバイス評価回路は、半導体デバイス全般のデバイスノイズ測定が可能であるうえ、DCパラメータ、ACパラメータなど各種の測定要素を総合評価することのできる画期的な回路となる。そして、このような高機能の回路構成を応用して超低ノイズ微少電圧増幅器を実現することも可能である。

【図面の簡単な説明】

【図1】従来の代表的なデバイス評価回路の回路図。

【図2】本発明のデバイス評価回路の基本構成例を示した回路図。

20 【図3】本発明のデバイス評価回路の応用例を示した回路図。

【図4】電圧源にキャッシュを使用した本発明のデバイス評価回路の例を示した回路図。

【図5】一定ゲイン型とした本発明のデバイス評価回路の例を示した回路図。

【図6】本発明のデバイス評価回路の構成を利用した微少電圧増幅器の例を示した回路図。

【符号の説明】

OP オペアンプ

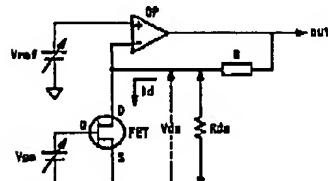
R 検出抵抗

FET 評価対象デバイス

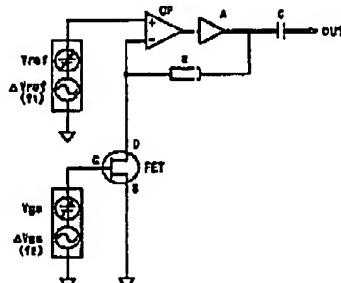
V_{ref} 回路電圧源

V_{gs} デバイス制御電圧源

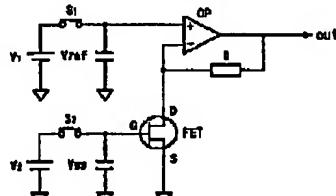
【図2】



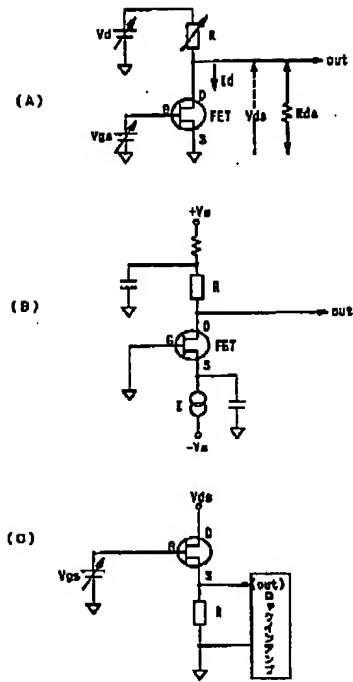
【図3】



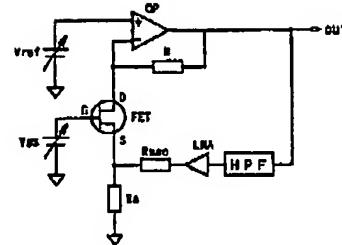
【図4】



[図1]



[図5]



[図6]

